

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hajime AKIYAMA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: DIELECTRIC SEPARATION TYPE SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-368186	December 19, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Norman F. Oblon

Registration No. 24,618



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月19日

出 願 番 号

Application Number:

特願2002-368186

[ST.10/C]:

[JP 2002-368186]

出 願 人

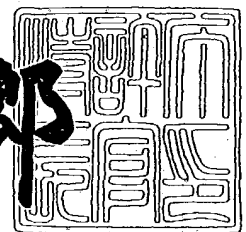
Applicant(s):

三菱電機株式会社

2003年 1月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3000965

【書類名】 特許願

【整理番号】 543073JP01

【提出日】 平成14年12月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 1/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 秋山 肇

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 保田 直紀

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100057874

【弁理士】

【氏名又は名称】 會我 道照

【選任した代理人】

【識別番号】 100110423

【弁理士】

【氏名又は名称】 會我 道治

【選任した代理人】

【識別番号】 100084010

【弁理士】

【氏名又は名称】 古川 秀利

【選任した代理人】

【識別番号】 100094695

【弁理士】

【氏名又は名称】 鈴木 憲七

【選任した代理人】

【識別番号】 100111648

【弁理士】

【氏名又は名称】 梶並 順

【手数料の表示】

【予納台帳番号】 000181

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 誘電体分離型半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板の第 1 主面の全域に隣接配置された主誘電体層と、

前記半導体基板に対向して前記主誘電体層を挟むように前記主誘電体層の表面に配設された低不純物濃度の第 1 導電型の第 1 半導体層と、

前記第 1 半導体層の表面に選択的に形成された高不純物濃度の第 1 導電型の第 2 半導体層と、

前記第 1 半導体層の外周縁を間隔を介して取り囲むように配設された高不純物濃度の第 2 導電型の第 3 半導体層と、

前記第 3 半導体層の外周縁を取り囲むように配設されたリング状絶縁膜と、

前記第 2 半導体層の表面に接合配置された第 1 主電極と、

前記第 3 半導体層の表面に接合配置された第 2 主電極と、

前記半導体基板の第 1 主面に対向する第 2 主面に隣接配置された板状の裏面電極と、

前記第 2 半導体層の直下に配設され且つ前記主誘電体層の前記第 2 主面に少なくとも一部が接合された第 1 の補助誘電体層と

を備えた誘電体分離型半導体装置。

【請求項 2】 前記第 1 の補助誘電体層は、一端が前記第 1 主電極に対応する位置に配設されるとともに、前記第 1 主電極から前記第 2 主電極までの距離の 40%以上の領域にわたって配設されたことを特徴とする請求項 1 に記載の誘電体分離型半導体装置。

【請求項 3】 前記第 1 の補助誘電体層は、底部を有する筒状に形成され、前記半導体基板および前記主誘電体層の両方に接合されたことを特徴とする請求項 1 または請求項 2 に記載の誘電体分離型半導体装置。

【請求項 4】 前記第 1 の補助誘電体層は、すり鉢状に形成されたことを特徴とする請求項 3 に記載の誘電体分離型半導体装置。

【請求項 5】 前記第 1 の補助誘電体層と前記主誘電体層との間に第 2 の補

助誘電体層を配設したことを特徴とする請求項1から請求項4までのいずれか1項に記載の誘電体分離型半導体装置。

【請求項6】 前記第2の補助誘電体層は、熱窒化膜またはCVD窒化膜により形成されたことを特徴とする請求項5に記載の誘電体分離型半導体装置。

【請求項7】 前記半導体基板は、一体的に形成されたP型半導体領域を有することを特徴とする請求項1から請求項6までのいずれか1項に記載の誘電体分離型半導体装置。

【請求項8】 誘電体分離基板上に形成された高耐圧横型デバイスであって、第1主電極と前記第1主電極を取り囲むように形成された第2主電極とを有するとともに、前記誘電体分離基板の裏面側に台座となる半導体基板を有する誘電体分離型半導体装置の製造方法において、

前記第1主電極を含み且つ前記第1主電極から前記第2主電極までの距離の40%以上の領域にわたって、前記半導体基板をKOHエッチングによって除去するステップと、

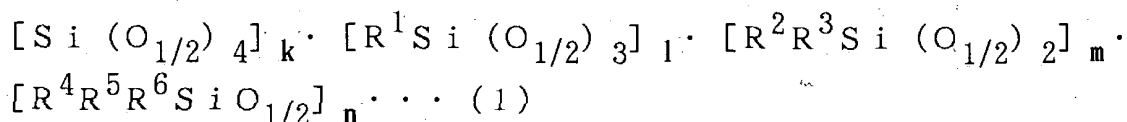
前記領域において第1の埋め込み絶縁膜を形成するステップと、

前記領域において前記第1の埋め込み絶縁膜の直下に接する形で、第2の埋め込み絶縁膜を形成するステップと

を備えたことを特徴とする誘電体分離型半導体装置の製造方法。

【請求項9】 前記第2の埋め込み絶縁膜は、シリコン系ポリマー、ポリイミド系ポリマー、ポリイミドシリコン系ポリマー、ポリアリーレンエーテル系ポリマー、ビスベンゾシクロブテン系ポリマー、ポリキノリン系ポリマー、パーフルオロ炭化水素系ポリマー、フルオロカーボン系ポリマー、芳香族炭化水素系ポリマー、ボラジン系ポリマー、および、前記各ポリマーのハロゲン化物または重水素化物、のうちの少なくとも1つから選択された硬化性ポリマーの硬化膜により形成されたことを特徴とする請求項8に記載の誘電体分離型半導体装置の製造方法。

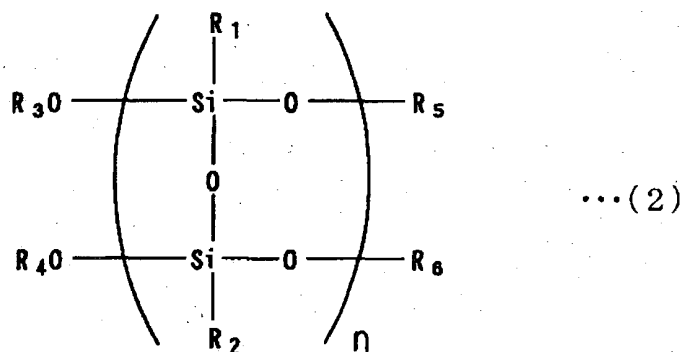
【請求項10】 前記第2の埋め込み絶縁膜は、以下の一般式(1)、



(ただし、一般式(1)において、 R^1 、 R^2 、 R^3 、 R^4 、 R^5 、 R^6 は、同一または異なるアリール基、水素基、脂肪族アルキル基、トリアルキルシリル基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。また、 k 、 l 、 m 、 n は、いずれも0以上の整数であり、 $2k + (3/2)l + m + (1/2)n$ は自然数であって、前記各ポリマーの重量平均分子量は50以上である。さらに、分子末端基は、同一または異なるアリール基、水素基、脂肪族アルキル基、水酸基、トリアルキルシリル基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。)で表されるシリコン系ポリマーの硬化膜により形成されたことを特徴とする請求項8または請求項9に記載の誘電体分離型半導体装置の製造方法。

【請求項11】 前記第2の埋め込み絶縁膜は、以下の一般式(2)、

【数1】



(ただし、一般式(2)において、 R_1 、 R_2 は、同一または異なるアリール基、水素基、脂肪族アルキル基、水酸基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。また、 R_3 、 R_4 、 R_5 、 R_6 は、同一または異なる水素基、アリール基、脂肪族アルキル基、トリアルキルシリル基、水酸基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。さらに、 n は整数であり、前記各ポリマーの重量平均分子量は50以上である。)で表される梯子状構造を有するシリコン系ポリマーの硬化膜により形成されたことを

特徴とする請求項 8 または請求項 9 に記載の誘電体分離型半導体装置の製造方法

【請求項 1 2】 前記第 2 の埋め込み絶縁膜は、ワニスまたはレジンを含み、回転塗布法、マイクロスプレー噴射によるスプレー塗布法、または、マイクロノズルによるスキャン塗布法により、前記誘電体分離基板上の全領域あるいは選択的に塗布されて形成されることを特徴とする請求項 8 から請求項 1 1 までのいずれか 1 項に記載の誘電体分離型半導体装置の製造方法。

【請求項 1 3】 前記第 2 の埋め込み絶縁膜は、分子量 1 5 0 k の P V S Q を 1 0 w t % のアニソール溶液で形成した第 1 のワニスと、分子量 1 5 0 k の P V S Q を 1 5 w t % のアニソール溶液で形成した第 2 のワニスとを、順次、1 0 0 r p m × 5 秒・3 0 0 r p m × 1 0 秒・5 0 0 r p m × 6 0 秒の塗布処理を施して形成されるとともに、

前記塗布処理の後に、3 5 0 ℃ × 1 時間以後徐冷のキュア処理が施されることを特徴とする請求項 1 2 に記載の誘電体分離型半導体装置の製造方法。

【請求項 1 4】 前記第 2 の埋め込み絶縁膜の形成後に結晶破壊層を形成するステップと、

前記結晶破壊層を剥離面として前記誘電体分離基板の一部を除去するステップと

を備えたことを特徴とする請求項 8 から請求項 1 3 までのいずれか 1 項に記載の誘電体分離型半導体装置の製造方法。

【請求項 1 5】 前記結晶破壊層は、多孔質シリコン層により形成されたことを特徴とする請求項 1 4 に記載の誘電体分離型半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体基板の上面および下面にそれぞれ誘電体層および裏面電極が設けられた誘電体分離型半導体装置およびその製造方法に関するものである。

【0 0 0 2】

【従来の技術】

従来より、誘電体分離型半導体装置は、種々提案されている（たとえば、後述する特許文献1参照）。

特許文献1中の図52および図53に参照されるように、誘電体分離型半導体装置の半導体基板には、上面および下面にそれぞれ誘電体層および裏面電極が設けられ、誘電体層の上面には n^- 型半導体層が設けられている。

また、誘電体層は、半導体基板と n^- 型半導体層とを誘電体分離しており、絶縁膜は n^- 型半導体層を所定範囲で区画している。

この所定範囲において、 n^- 型半導体層の上面には比較的低い抵抗値の n^+ 型半導体領域が形成され、さらに、 n^+ 型半導体領域を取り囲むように p^+ 型半導体領域が形成されている。また、 n^+ 型半導体領域および p^+ 型半導体領域には、それぞれカソード電極およびアノード電極が接続されており、カソード電極およびアノード電極は、絶縁膜によって互いに絶縁されている。

【0003】

また、特許文献1中の図54に参照されるように、アノード電極および裏面電極をいずれも0Vに設定し、カソード電極に正の電圧を漸次増加させると、 n^- 型半導体層と p^+ 型半導体領域との間の pn 接合から空乏層が伸長する。このとき、半導体基板はグランド電位に固定されており、誘電体層を介してフィールドプレートとして働くので、上記空乏層に加えて、 n^- 型半導体層と誘電体層との境界面から n^- 型半導体層の上面に向かう方向に別の空乏層が伸長する。

このように、別の空乏層が伸びることにより、上記空乏層がカソード電極に向かって伸び易くなり、 n^- 型半導体層と p^+ 型半導体領域との間の pn 接合での電界は緩和される。この効果は、一般にRESURF (Reduced Surface Field) 効果として知られている。

【0004】

また、特許文献1中の図55に参照されるように、 p^+ 型半導体領域から十分離れた位置の断面での電界強度分布において、別の空乏層の鉛直方向幅を x 、誘電体層の厚さを t_0 とし、 n^- 型半導体層の上面を横軸の原点に対応させると、上記断面における全電圧降下 V は、以下の式(3)で表される。

$$V = q \cdot N / (\epsilon_2 \cdot \epsilon_0) \times (x^2 / 2 + \epsilon_2 \cdot t_0 \cdot x / \epsilon_3) \cdots ($$

3)

ただし、式(3)において、 N は n 型半導体層の不純物濃度 [cm^{-3}]、 ϵ_0 は真空の誘電率 [$\text{C} \cdot \text{V}^{-1} \cdot \text{cm}^{-1}$]、 ϵ_2 は n^- 型半導体層の比誘電率、 ϵ_3 は誘電体層の比誘電率である。

式(3)より、全電圧降下量 V を等しく保ちながら誘電体層の厚さ t_0 を厚くすると、別の空乏層の鉛直方向幅 x が短くなることが分かる。これはRESURF効果が弱くなることを意味する。

【0005】

一方、 n^- 型半導体層と p^+ 型半導体領域との間の pn 接合での電界集中、および n^- 型半導体層と n^+ 型半導体領域との界面での電界集中によるアバランシェ破壊が発生しない条件下では、半導体装置の耐圧は、最終的には n^+ 型半導体領域の直下における、 n^- 型半導体層と誘電体層との界面での電界集中によるアバランシェ破壊で決定される。

このような条件が満足されるように半導体装置を構成するには、 p^+ 型半導体領域と n^+ 型半導体領域との距離を十分長く設定し、 n^- 型半導体層の厚さ d とその不純物濃度を最適化すればよい。

【0006】

上記条件は、特許文献1中の図56に参照されるように、 n^- 型半導体層と誘電体層との界面から n^- 型半導体層の表面にまで空乏化したときに、 n^- 型半導体層と誘電体層との界面での電界集中が丁度アバランシェ破壊条件を満たすことが一般的に知られている。この場合、空乏層は、 n^+ 型半導体領域に達し、 n^- 型半導体層の全体を空乏化している。

このような条件下での耐圧 V は、以下の式(4)で表される。

$$V = E_{cr} \cdot (d/2 + \epsilon_2 \cdot t_0 / \epsilon_3) \cdots (4)$$

ただし、式(4)において、 E_{cr} はアバランシェ破壊を起こす臨界電界強度であり、 n^+ 型半導体領域の厚さは無視されているものとする。

【0007】

上記特許文献1中の図57に参照されるように、 n^+ 型半導体領域の直下の断面における垂直方向の電界強度分布において、 n^- 型半導体層と誘電体層との境

界（原点から電極側へ距離 d の位置）における電界強度は、臨界電界強度 E_{cr} に達している。

n^- 型半導体層をシリコンで形成し、誘電体層をシリコン酸化膜で形成して、半導体装置の耐圧 V を計算する場合、一般的な値として、

$$d = 4 \times 10^{-4}、$$

$$t_0 = 2 \times 10^{-4}$$

を採用する。

【0008】

また、臨界電界強度 E_{cr} は、 n^- 型半導体層の厚さ d に影響されるが、この場合は、およそ、

$$E_{cr} = 4 \times 10^5$$

で表される。この臨界電界強度 E_{cr} と、 $\epsilon_2 (= 11.7)$ 、 $\epsilon_3 (= 3.9)$ を上記式 (4) に代入すると、耐圧 V は、以下の式 (5) で表される。

$$V = 320 \text{ V} \cdots (5)$$

よって、 n^- 型半導体層の厚さ d が $1 \mu\text{m}$ 増加すると、以下の式 (6) で表される電圧上昇 ΔV が得られる。

$$\Delta V = E_{cr} \times 0.5 \times 10^{-4} = 20 [\text{V}] \cdots (6)$$

また、誘電体層の厚さ t_0 が $1 \mu\text{m}$ 増加すると、以下の式 (7) で表される電圧上昇 ΔV が得られる。

$$\Delta V = E_{cr} \times 11.7 \times 10^{-4} / 3.9 = 120 [\text{V}] \cdots (7)$$

【0009】

式 (6)、(7) の結果から明らかなように、 n^- 型半導体層よりも誘電体層を厚く設定することによる耐圧上昇のほうが大きく、耐圧を上昇させるためには、誘電体層を厚く設定することが効果的であることが分かる。

しかも、 n^- 型半導体層を厚く設定すると、絶縁膜を形成するためには、より深いトレンチエッチング技術が必要となり、新たな技術開発を必要とするので好ましくない。

しかし、誘電体層の厚さ t_0 を増大させると、上述のように、別の空乏層の伸び x が小さくなり、RESURF効果が低減する。すなわち、 p^+ 型半導体領域

と n^- 型半導体層との間の $p-n$ 接合での電界集中が増大し、この $p-n$ 接合でのア
バランシェ破壊によって耐圧が制限されることになる。

【0010】

【特許文献1】

特許第2739018号公報（同公報中の図52～図57）

【0011】

【発明が解決しようとする課題】

従来の誘電体分離型半導体装置は以上のように、誘電体層の厚さ t_0 と n^- 型
半導体層の厚さ d とに依存して半導体装置の耐圧が制限されるという問題点があ
った。

【0012】

この発明は上記のような問題点を解決するためになされたもので、誘電体層の
厚さと第1半導体層の厚さとに依存して半導体装置の耐圧が制限されることを防
ぎつつ、高耐圧を実現した誘電体分離型半導体装置およびその製造方法を得るこ
とを目的とする。

【0013】

【課題を解決するための手段】

この発明に係る誘電体分離型半導体装置は、半導体基板と、半導体基板の第1
主面の全域に隣接配置された主誘電体層と、半導体基板に対向して主誘電体層を
挟むように主誘電体層の表面に配設された低不純物濃度の第1導電型の第1半導
体層と、第1半導体層の表面に選択的に形成された高不純物濃度の第1導電型の
第2半導体層と、第1半導体層の外周縁を間隔を介して取り囲むように配設され
た高不純物濃度の第2導電型の第3半導体層と、第3半導体層の外周縁を取り囲
むように配設されたリング状絶縁膜と、第2半導体層の表面に接合配置された第
1主電極と、第3半導体層の表面に接合配置された第2主電極と、半導体基板の
第1主面に対向する第2主面に隣接配置された板状の裏面電極と、第2半導体層
の直下に配設され且つ主誘電体層の第2主面に少なくとも一部が接合された第1
の補助誘電体層とを備えたものである。

【0014】

また、この発明に係る誘電体分離型半導体装置の製造方法は、誘電体分離基板上に形成された高耐圧横型デバイスであって、第1主電極と第1主電極を取り囲むように形成された第2主電極とを有するとともに、誘電体分離基板の裏面側に台座となる半導体基板を有する誘電体分離型半導体装置の製造方法において、第1主電極を含み且つ第1主電極から第2主電極までの距離の40%以上の領域にわたって、半導体基板をKOHエッチングによって除去するステップと、領域において第1の埋め込み絶縁膜を形成するステップと、領域において第1の埋め込み絶縁膜の直下に接する形で、第2の埋め込み絶縁膜を形成するステップとを備えたものである。

【0015】

【発明の実施の形態】

実施の形態1.

以下、図面を参照しながら、この発明の実施の形態1について詳細に説明する。

図1はこの発明の実施の形態1による誘電体分離型半導体装置100を一部断面図で示す斜視図であり、図2は図1に示した誘電体分離型半導体装置100の部分断面図である。

図1および図2において、誘電体分離型半導体100は、半導体基板1と、 n^- 型半導体層2と、誘電体層3と、 n^+ 型半導体領域4と、 p^+ 型半導体領域5と、電極6、7と、裏面蒸着電極（以下、単に「裏面電極」という）8と、絶縁膜9、11とを備えている。

【0016】

半導体基板1の上面および下面には、それぞれ誘電体層3および裏面電極8が設けられている。

誘電体層3の上面には、 n^- 型半導体層2が設けられており、誘電体層3は、半導体基板1と n^- 型半導体層2とを誘電体分離している。

絶縁膜9は、 n^- 型半導体層2を所定範囲でリング状に区画している。

絶縁膜9により区画された所定範囲において、 n^- 型半導体層2の上面には、 n^- 型半導体層2よりも低い抵抗値の n^+ 型半導体領域4が形成され、また、 n^-

p^+ 型半導体領域 4 を取り囲むように、 p^+ 型半導体領域 5 が形成されている。

p^+ 型半導体領域 5 は、 n^- 型半導体層 2 の上面内に選択的に形成されている。

【0017】

n^+ 型半導体領域 4 および p^+ 型半導体領域 5 には、それぞれ、電極 6、7 が接続されており、電極 6、7 は、絶縁膜 11 によって互いに絶縁されている。

この場合、電極 6、7 は、それぞれカソード電極およびアノード電極として機能するので、以下「カソード電極 6」、「アノード電極 7」と称する。

誘電体層 3 は、厚さが比較的薄い誘電体層からなる第 1 の領域 3-1 と、比較的厚い誘電体層からなる第 2 の領域 3-2 とに区分されている。

n^+ 型半導体領域 4 は、第 2 の領域 3-2 の上方において、第 2 の領域 3-2 よりも狭い範囲で形成されている。

【0018】

図 3 は図 1 および図 2 に示した誘電体分離型半導体装置 100 の順方向耐圧の保持動作を説明するための断面図であり、図 4 は図 3 内の A-A' 線による断面での電界強度分布を示す説明図である。

図 3 においては、第 1 の領域（誘電体層）3-1 の厚さ t_0 と、第 2 の領域（誘電体層）3-2 のエッジ 31 と、 n^- 型半導体層 2 に関連した空乏層 41a、41b と、空乏層 41b の厚さ x と、カソード電極 6 とアノード電極 7 との距離 L とが示されている。

【0019】

図 3 において、アノード電極 7 および裏面電極 8 をいずれも接地電位（0V）に設定し、カソード電極 6 に正の電圧（+V）を与えてこれを漸次増加させると、 n^- 型半導体層 2 と p^+ 型半導体領域 5 との間の pn 接合から空乏層 41a が伸びる。

このとき、半導体基板 1 は、誘電体層 3 を介して、接地電位に固定されたフィールドプレートとして働くので、空乏層 41a に加えて、 n^- 型半導体層 2 と誘電体層 3 との境界面から、 n^- 型半導体層 2 の上面に向かう方向に空乏層 41b が伸びる。

【 0 0 2 0 】

したがって、RESURF効果により、 n^- 型半導体層2と p^+ 型半導体領域5との間のpn接合での電界は緩和される。

なお、電界集中を避けるために、誘電体層3-2のエッジ31は、アノード・カソード電極の距離Lに対して、カソード側から40%以上を目安とした位置に設定される。

図4は、 p^+ 型半導体領域5から十分に離れた位置（図3内のA-A'線による断面）における電界強度の分布を示している。

図4において、横軸は裏面電極8側の位置、縦軸は電界強度を示しており、空乏層41bの厚さ（伸び） x 、誘電体層3-1の厚さ t_0 として、 n^- 型半導体層2の上面を横軸の原点に対応させている。

【 0 0 2 1 】

A-A'線による断面における全電圧降下Vは、従来の誘電体分離型半導体装置の場合と同様に、前述の式（3）で表される。

つまり、全電圧降下が等しくても、誘電体層3の厚さ t_0 を厚く設定すると、空乏層41bの伸び x が短くなり、RESURF効果が低減する。

一方、 n^- 型半導体層2と p^+ 型半導体領域5との間のpn接合での電界集中、および、 n^- 型半導体層2と n^+ 型半導体領域4との界面での電界集中によるアバランシェ破壊が発生しない条件下においては、半導体装置100の耐圧は、最終的には、 n^+ 型半導体領域4の直下における n^- 型半導体層2と誘電体層3-1との界面での電界集中によるアバランシェ破壊で決定される。

【 0 0 2 2 】

このような条件が満足されるように半導体装置100を構成するためには、 p^+ 型半導体領域5と n^+ 型半導体領域4との距離Lを十分長く設定し、 n^- 型半導体層2の厚さ d とその不純物濃度Nとを最適化すればよい。

たとえば、耐圧600Vを想定すると、距離Lは、 $70\mu\text{m} \sim 100\mu\text{m}$ 程度に設計することができる。

図5は上記条件下における誘電体層分離半導体装置100の順方向耐圧の保持動作を説明するための断面図である。

上記条件は、「 n^- 型半導体層2と誘電体層3-1との界面から n^- 型半導体層2の表面にまで空乏化したときに、 n^- 型半導体層2と誘電体層3-1との界面での電界集中が丁度アバランシェ条件を満たす状態」を意味することが一般的に知られている。

【0023】

図5において、空乏層41bは、 n^+ 型半導体領域4に達し、 n^- 型半導体層2の全体が空乏化していることが示されている。

このような条件での耐圧 V は、 n^+ 型半導体領域4の直下（すなわち、図5内のB-B'線による断面）における全電圧降下で示され、以下の式（8）のように表される。

$$V = E_{cr} \cdot (d/2 + \varepsilon_2 \cdot t_1 / \varepsilon_3) \cdots (8)$$

ただし、式（8）において、 t_1 は第1の誘電体層3-1に第2の誘電体層3-2を加えた厚さ〔cm〕であり、 n^+ 型半導体領域4の厚さは無視されているものとする。

なお、式（8）は、前述の式（4）中の厚さ t_0 を、厚さ t_1 で置き換えたものに等しい。

【0024】

図6はB-B'線による断面での電界強度分布を示す説明図である。

図6において、 n^- 型半導体層2と誘電体層3との境界（原点から電極8側へ距離 d の位置）における電界強度は、臨界電界強度 E_{cr} に達している。

すなわち、前述の式（3）と上記式（8）とから分かるように、第1の誘電体領域3-1において厚さ t_0 を比較的薄く設定して、RESURF効果を損なうことがないようにする一方で、第2の誘電体領域3-2の形成された範囲において誘電体層3の厚さ t_1 を比較的厚く設定することにより、電圧降下を稼いで耐圧を従来の場合よりも向上させることができる。

【0025】

次に、図7～図10に示す工程毎の断面図を参照しながら、この発明の実施の形態1による誘電体分離型半導体装置の製造方法について説明する。

図7～図10において、前述（図1～図3、図5参照）と同様のものについて

は、それぞれ前述と同一符号を付して詳述を省略する。

まず、図7において、半導体装置100は、比較的薄い第1の誘電体領域が形成されたSOI (Silicon On Insulator) 基板を用いて処理されたウエハプロセスが終了して、高圧デバイスが形成された状態にあるものとする。

【0026】

この状態の半導体装置100に対し、図7に示すように、半導体基板1の裏面側に絶縁膜マスク101 (CVD-酸化膜、CVD-窒化膜、プラズマ窒化膜など) を形成する。

絶縁膜マスク101は、半導体装置100の表面側 (n^+ 型半導体層2側) のパターンと整合するように形成されており、カソード電極6を取り囲むようにアライメントされている。図7においては、カソード電極6を取り囲む絶縁膜マスク101のうち、一方側の断面のみが示されている。

【0027】

次に、図8に示すように、KOHエッチングによって、裏面側の絶縁膜マスク101に関連した開口部において、半導体基板1を除去して誘電体層3-1を露出させる。

この際、裏面側に露出した誘電体層3-1の占める領域は、カソード電極6を取り囲むように形成され、且つ、カソード電極6とアノード電極7との距離Lに対してカソード電極6側より少なくとも40%以上が露出した状態である。

【0028】

次に、図9に示すように、半導体基板1の裏面側全体にわたって、誘電体層3-2を形成する処理を実行する。この際、図9の処理工程は、具体的には以下のように実行される。

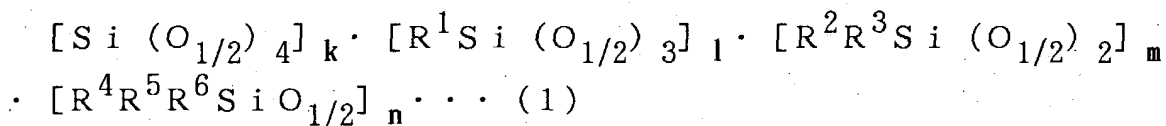
すなわち、比較的精度の低い第1のPVSQワニスと、比較的精度の高い第2のPVSQワニスとについて、順次、塗布工程とキュア工程とを施すことにより成膜する。

【0029】

ここで、誘電体層3-2 (第2の埋め込み絶縁膜) は、シリコン系ポリマー

、ポリイミド系ポリマー、ポリイミドシリコン系ポリマー、ポリアリーレンエーテル系ポリマー、ビスベンゾシクロブテン系ポリマー、ポリキノリン系ポリマー、パーフルオロ炭化水素系ポリマー、フルオロカーボン系ポリマー、芳香族炭化水素系ポリマー、ボラジン系ポリマーおよび各ポリマーのハロゲン化物または重水素化物のうちの少なくとも1つから選択された硬化性ポリマーの硬化膜により形成される。

または、誘電体層3-2は、以下の一般式(1)で表されるシリコン系ポリマーの硬化膜により形成される。



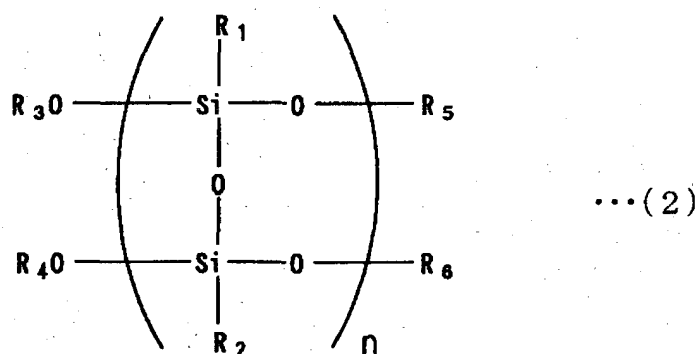
【0030】

ただし、一般式(1)において、 R^1 、 R^2 、 R^3 、 R^4 、 R^5 、 R^6 は、同一または異なるアリール基、水素基、脂肪族アルキル基、トリアルキルシリル基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。また、 k 、 l 、 m 、 n は、いずれも0以上の整数であり、 $2k + (3/2)l + m + (1/2)n$ は自然数であって、各ポリマーの重量平均分子量は50以上である。さらに、分子末端基は、同一または異なるアリール基、水素基、脂肪族アルキル基、水酸基、トリアルキルシリル基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。

【0031】

また、たとえば、第1および第2のPVSQワニスを構成するために、以下の一般式(2)で表されるポリマーを考慮する。

【数 2】



ただし、一般式(2)において、 R_1 、 R_2 は、同一または異なるアリール基、水素基、脂肪族アルキル基、水酸基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。また、 R_3 、 R_4 、 R_5 、 R_6 は、同一または異なる水素基、アリール基、脂肪族アルキル基、トリアルキルシリル基、水酸基、重水素基、重水素化アルキル基、フッ素基、フルオロアルキル基、または、不飽和結合を有する官能基である。さらに、 n は整数であり、各ポリマーの重量平均分子量は50以上である。

官能基 R_1 、 R_2 のうち、95%はフェニル基であって、5%はビニル基である。また、官能基 $\text{R}_3 \sim \text{R}_6$ は、全て水素原子である。

【0032】

一般式(2)のように表される重量平均分子量150kのシリコーンポリマー(A樹脂)をアニソール溶媒中に溶解させ、固形分濃度が10wt%になるように溶解させた第1のワニスと、固形分濃度が15wt%になるように溶解させた第2のワニスとについて、順次、塗布工程とキュア工程とを施す。

具体的には、分子量150kのPVSQを10w%のアニソール溶液で形成した第1のワニスと、分子量150kのPVSQを15w%のアニソール溶液で形成した第2のワニスとを、順次、100rpm×5秒・300rpm×10秒・500rpm×60秒の塗布処理を施して形成される。また、この塗布処理の後に、350℃×1時間以後徐冷のキュア処理が施される。

これにより、半導体装置100の裏面側開口領域において、成膜ムラが有効に

抑制された誘電体層3-2を得ることができる。

また、滴下量を最適化することにより、膜厚を制御することもできる。

【0033】

最後に、図10に示すように、半導体装置100の裏面全面をポリッシュ処理し、半導体基板1上に形成された誘電体層3-2を除去して、金属蒸着層（たとえば、Ti/Ni/Auの3層蒸着など）からなる裏面電極8を形成する。

この結果、誘電体分離型半導体装置100の誘電体層3-1、3-2は、耐圧が決定されるべき第1の領域（誘電体層3-1の厚さ t_0 ）においては、大きな電圧降下を負担し、RESURF効果に影響を与える第2の領域（誘電体層3-2の厚さ t_1 ）においては、第1の半導体層と第3の半導体層との間の電界集中を緩和することができ、上記電気特性効果を実現することができる。

【0034】

したがって、RESURF効果を損なうことなく、誘電体分離型半導体装置100の耐圧を向上させることができ、また、誘電体分離型半導体装置100の構造を容易に実現するための製造方法を提供することができる。

また、基本的にSOI層の構造を変更することなく、主誘電体層3-1と補助誘電体層3-2との膜厚および誘電率を最適化することにより、主耐圧の大幅な向上を実現することができる。

また、他の特性（たとえば、オン電流値、閾値電圧など）には、悪影響をおよぼすことがないので、耐圧と他の特性とのトレードオフ関係が解消されることにより、容易に設計することができる。

また、補助誘電体層3-2を40%以上の領域に配設することにより、耐圧を安定させるうえで、必要十分な補助誘電体層3-2の形成範囲を指定することができる。すなわち、不必要に補助誘電体層3-2の形成部分を拡大して、デバイスの機械的強度を低下させるおそれが全くない。

また、補助誘電体層3-2は、底部を有する筒状（すり鉢状）をなしており、主誘電体層3-1と半導体基板1との両方に接合するので、接着強度を向上させることができ、ひいては、耐圧特性の安定化および寿命化を実現することができる。特に、補助誘電体層3-2をPVSQで成膜形成した場合には、主誘電体

層 3-1 と半導体基板 1 との境界領域でのクラック発生を防止して、機械的且つ電氣的に安定した誘電体層を形成することができる。

さらに、PVSQ で成膜した場合には、製造上の利点として、膜厚制御の容易性を発揮させることができる。

【0035】

実施の形態 2.

なお、上記実施の形態 1 では、図 7 に示す半導体装置 100 の形成工程について言及しなかったが、活性層基板の両面に誘電体層 3-1 を形成しておき、活性層基板の主面に窒素を注入した後、台座シリコンからなる半導体基板 1 を貼り合わせ、さらに電極パターンを形成して半導体装置 100 を構成してもよい。

以下、図 11 ～図 13 に示す工程毎の断面図を参照しながら、活性層基板に窒素注入後に台座シリコン基板を貼り合わせたこの発明の実施の形態 2 による誘電体分離型半導体装置 100 の製造方法について説明する。

図 11 ～図 13 において、前述と同様のものについては、それぞれ前述と同一符号を付して詳述を省略する。

【0036】

まず、図 11 に示すように、貼り合わせ SOI 基板を作製する前の活性層基板 21 の両面に、酸化膜による誘電体層 3-1 を形成しておき、後述の半導体基板 1 が貼り合わせられる側の主面に対して、窒素 (N) 102 を注入する (矢印参照)。

続いて、図 12 に示すように、活性層基板 21 の窒素注入側の主面に対して、台座シリコンからなる半導体基板 1 を貼り合わせる。

【0037】

この際、たとえば 1200℃ 以上の十分高温のアニール処理を行うことによって、活性層基板 21 の主面 (窒素注入領域) を窒化酸化膜層 3-3 として安定化させた後、活性層基板 21 の他方の主面を研磨することにより、活性層基板 21 を所望の厚さに制御する工程を加味する。

これにより、図 12 に示すように、活性層基板 21 と半導体基板 1 とが貼り合わせられた SOI 基板が製造される。

【 0 0 3 8 】

以下、図 1 2 の S O I 基板に対して、前述の実施の形態 1 と同様のウエハプロセスを適用し、図 1 3 に示すように、活性層基板 2 1 内に高耐圧デバイスをはじめとする各種デバイスを形成したうえで、裏面側を K O H エッチングによって開口する。

この際、窒化酸化膜層 3 - 3 からなる埋め込み誘電体層が存在しているので、酸化膜による誘電体層 3 - 1 が K O H エッチングによって目減りすることを防止することができる。たとえば、3 0 % の K O H 溶液を用いて雰囲気温度 6 0 ° C の条件下で半導体基板 1 のエッチングを行う際、シリコン、酸化膜、窒化酸化膜に対するエッチングレートは、それぞれ、4 0 μ m / 時間、0 . 1 3 μ m / 時間、0 . 0 1 μ m / 時間であることから、その効果を推し量ることができる。

【 0 0 3 9 】

なお、前述の実施の形態 1 でも述べたように、半導体基板 1 のストレスを緩和する目的に鑑みて、誘電体層 3 - 1 を比較的薄く設定する方が望ましく、また、K O H エッチングムラなどによる膜減りを極力防止する必要があることは言うまでもない。

このようにして、誘電体層 3 - 1 および窒化酸化膜層 3 - 3 が目減りすることなく露出された後は、続いて、前述（図 1 0 参照）と同様の処理工程を実行することにより、図 1 3 に示すような高耐圧デバイスが製造される。

したがって、前述と同様の電気特性効果を実現することができる。

また、別の補助誘電体層 3 - 3 を形成することにより、製造途中で発生する主誘電体層 3 - 1 の膜厚変化を抑制することができ、設計通りの膜厚を実現して目標値の耐圧特性を保持することができる。

【 0 0 4 0 】

実施の形態 3 .

なお、上記実施の形態 2 では、活性層基板 2 1 に対して窒素注入した後、半導体基板 1 を貼り合わせたが、半導体基板 1 に対して熱窒化膜または C V D 窒化膜による誘電体層を形成した後、活性層基板 2 1 を貼り合わせてもよい。

以下、図 1 4 ~ 図 1 6 に示す工程毎の断面図を参照しながら、半導体基板 1 に

熱窒化膜またはCVD窒化膜（誘電体層）を形成した後、活性層基板21を貼り合わせたこの発明の実施の形態3による誘電体分離型半導体装置100の製造方法について説明する。

図14～図16において、前述と同様のものについては、それぞれ前述と同一符号を付して詳述を省略する。

【0041】

まず、図14に示すように、貼り合わせSOI基板を作製する前の台座シリコンからなる半導体基板1の両面に熱窒化膜またはCVD窒化膜による誘電体層3-4を形成する。

続いて、図15に示すように、図14の半導体基板1と、あらかじめ酸化膜による誘電体層3-1が形成された活性層基板21の主面とを貼り合わせて、一体化する。

この際、活性層基板21の他の主面を研磨して、活性層基板21を所望の厚さに制御する工程を加味することにより、図15に示すSOI基板が製造される。

【0042】

最後に、図15のSOI基板に対して、前述の実施の形態1と同様のウエハプロセスを適用することにより、図16に示すように、耐圧デバイスをはじめとする各種デバイスを形成したうえで、裏面側をKOHエッチングによって開口し、半導体装置100を構成する。

この際、窒化膜によって形成される誘電体層3-4により、埋め込み誘電体層が存在するので、前述の実施の形態2と同様に、酸化膜による誘電体層3-1がKOHエッチングによって目減りすることを防止することができる。

このようにして、誘電体層3-1および3-4が目減りすることなく露出された後は、続いて、前述（図10参照）と同様の処理工程を実行することにより、図16に示すような高耐圧デバイスが製造される。

したがって、前述と同様の電気特性効果を実現することができる。

また、熱窒化膜またはCVD窒化膜からなる別の補助誘電体層3-4を形成することにより、前述と同様に、製造途中で発生する主誘電体層3-1の膜厚変化を抑制し、設計通りの膜厚を実現して目標値の耐圧特性を保持することができる。

【0043】

実施の形態4.

なお、上記実施の形態1～3では、半導体装置100の裏面側の半導体基板1を除去して、すり鉢状の開口部を形成したが、高速シリコンドライエッチング処理を施して、側面が垂直な円筒状の開口部を形成してもよい。

以下、前述の図7とともに、図17～図19に示す工程毎の断面図を参照しながら、半導体基板1に底部を有する筒状の開口部を形成したこの発明の実施の形態4による誘電体分離型半導体装置100の製造方法について説明する。

図17～図19において、前述と同様のものについては、それぞれ前述と同一符号を付して詳述を省略する。

【0044】

まず、半導体装置100は、図7のように、絶縁膜マスク101が半導体装置1の裏面に形成され、且つ絶縁膜マスク101の開口領域が電極6を取り囲むように形成されているものとする。また、後述する開口領域の占める範囲は、前述のように、カソード電極6とアノード電極7との距離L（図8参照）に対して、カソード電極6側から少なくとも40%以上が露出した状態にあるものとする。

次に、図17内の矢印105で示すように、半導体基板1の裏面側から、高速シリコンドライエッチング処理を施し、台座基板となる半導体基板1の開口領域を除去する。

【0045】

続いて、図18に示すように、スプレー塗布機103（または、マイクロノズルによるスキャン塗布法）を用いて、開口部および開口部の近傍領域に対して、選択的にA樹脂膜からなる誘電体層3-2を成膜する。

この際、スプレー塗布機103による塗布領域104（矢印参照）の広さは、マスク開口領域幅（ $100\mu\text{m}\sim 300\mu\text{m}$ ）の5倍以下を目安として設定される。また、誘電体層3-2が塗布された後は、前述の実施の形態1と同様に、キュア工程が施される。

その後、図19に示すように、半導体基板1の裏面を研磨して、半導体基板1

の主面上に形成された絶縁膜マスク 1 0 1 および誘電体層（A 樹脂膜） 3 - 2 を除去し、改めて裏面全体に蒸着された裏面電極 8 を形成する。

このように、半導体装置 1 0 0 の裏面側に、底部を有する筒状の開口部を形成した場合も、前述と同様の電気特性効果を実現することができる。

また、前述と同様に、補助誘電体層 3 - 2 を形成することにより、製造途中で発生する主誘電体層の膜厚変化を抑制し、設計通りの膜厚を実現して目標値の耐圧特性を保持することができる。

【 0 0 4 6 】

実施の形態 5.

なお、上記実施の形態 4 では、開口部の形成後に半導体基板 1 の裏面を研磨したが、開口部の形成前に高エネルギーイオンを照射して、半導体基板 1 内にシリコン結晶の破壊領域を剥離層として形成し、開口部の形成後に裏面側を剥離可能に構成してもよい。

以下、前述の図 7 および図 1 7 とともに、図 2 0 ～図 2 2 に示す工程毎の断面図を参照しながら、半導体基板 1 内に剥離層を形成した後に開口部を形成して裏面側を剥離可能に構成したこの発明の実施の形態 5 による誘電体分離型半導体装置 1 0 0 の製造方法について説明する。

図 2 0 ～図 2 2 において、前述と同様のものについては、それぞれ前述と同一符号を付して詳述を省略する。

【 0 0 4 7 】

まず、絶縁膜マスク 1 0 1 が形成される前に、図 2 0 に示すように、半導体装置 1 0 0 の裏面側から、高エネルギーイオン（たとえば、水素 H など） 1 0 6 を照射して、半導体基板 1 の一定深さの領域にシリコンの結晶性が破壊された結晶破壊層 1 0 7 を形成する。

続いて、図 7 のように、半導体装置 1 0 0 の裏面に絶縁膜マスク 1 0 1 を形成する。この際、前述と同様に、絶縁膜マスク 1 0 1 の開口領域は、電極 6 を取り囲むように形成され、且つ開口領域の占める範囲は、カソード電極 6 とアノード電極 7 との距離 L に対してカソード電極 6 側から少なくとも 4 0 % 以上が露出した状態にある。

【0048】

次に、図17のように、半導体基板1の裏面側から高速シリコンドライエッチング処理を施して半導体基板1の開口領域を除去する。

続いて、図21に示すように、スプレー塗布機103を用いて、開口部および開口部の近傍領域に対して、選択的にA樹脂膜からなる誘電体層3-2を成膜する。この際、スプレー塗布機103による塗布領域104の広さは、マスク開口領域幅(100 μ m \sim 300 μ m)の5倍以下を目安とする。また、誘電体層3-2の塗布後は、前述のキュア工程が施される。

【0049】

その後、図22に示すように、結晶破壊層107を剥離面として、裏面側領域108を一括剥離することにより、半導体基板(台座基板)1の主面上に形成された絶縁膜マスク101と誘電体層(A樹脂膜)3-2を除去し、さらにポリッシュ処理後、改めて裏面全体に蒸着された裏面電極8を形成する。

これにより、前述と同様の電気特性効果を実現することができる。

【0050】

実施の形態6.

なお、上記実施の形態5では、半導体装置100の裏面側から高エネルギーイオン106を照射して結晶破壊層107を形成したが、半導体基板内の埋め込み絶縁膜(誘電体層)3-1に間引き領域を設け、半導体装置100の表面側から陽極化成電流を通電することにより、結晶破壊層107に代わる多孔質シリコン層を半導体基板内に形成してもよい。

【0051】

以下、前述の図7および図17とともに、図23～図25に示す工程毎の断面図を参照しながら、半導体基板109内に多孔質シリコン層112を剥離層として形成したこの発明の実施の形態6による誘電体分離型半導体装置100の製造方法について説明する。

図20～図22において、前述と同様のものについては、それぞれ前述と同一符号を付して詳述を省略する。

なお、半導体基板109は、前述の半導体基板1に対応しており、P型基板に

より構成されている。

【0052】

まず、図23に示すように、半導体基板109を台座としたSOI基板において、あらかじめ半導体装置100内の埋め込み絶縁膜（誘電体層）3-1の一部には、間引きされた領域が設けられている。また、誘電体層3-1の間引き領域を介して半導体基板109と接触するP型活性領域110は、トレンチ分離領域（絶縁膜）9によって取り囲まれており、 n^- 型半導体層（SOI活性層）2から分離されている。

また、図23において、SOI基板は、ウエハプロセスが施され、主にSOI活性層2上に半導体デバイスが形成された後、P型活性領域110から半導体基板109に向けて陽極化成電流111（矢印参照）が通電される。これにより、半導体基板109の裏面側の主面上には、剥離層（後述する）となる多孔質シリコン層112が形成される。

【0053】

次に、多孔質シリコン層112上に、図7のように、カソード電極6を取り囲むように絶縁膜マスク101を形成する。この際、前述と同様に、絶縁膜マスク101の開口領域の占める範囲は、カソード電極6とアノード電極7との距離Lに対してカソード電極6側から少なくとも40%以上が露出した状態となるように設定される。

続いて、図17のように、半導体基板109の裏面側から高速シリコンドライエッチング処理を施して半導体基板109を除去する。

【0054】

次に、図24に示すように、スプレー塗布機103を用いて、開口部および開口部の近傍領域に対して、選択的にA樹脂膜3-2を成膜する。

この際、スプレー塗布機103によるA樹脂膜3-2の塗布領域104の広さは、マスク開口領域幅（ $100\mu\text{m} \sim 300\mu\text{m}$ ）の5倍以下を目安とする。また、A樹脂膜3-2の塗布後は、前述と同様のキュア工程が施される。

【0055】

その後、図24に示すように、多孔質シリコン層112を剥離面として、半導

体基板109の裏面側領域を一括剥離することにより、半導体基板109の主面上に形成された絶縁膜マスク101およびA樹脂膜3-2を除去し、さらにポリッシュ処理後、改めて裏面全体に蒸着された裏面電極8を形成する。

これにより、前述と同様の電気特性効果を実現することができる。

【0056】

実施の形態7.

なお、上記実施の形態5(図20～図22)では、開口部の形成後にスプレー塗布機103を用いて誘電体層(A樹脂膜)3-2を成膜したが、高速CVDデポジット処理を施すことにより、厚膜CVD酸化膜からなる誘電体層3-2を成膜してもよい。

以下、前述の図7および図17とともに、図26～図28に示す工程毎の断面図を参照しながら、半導体基板1の開口部および開口部近傍に高速CVDデポジット処理によるCVD酸化膜(誘電体層)3-2を成膜したこの発明の実施の形態7による誘電体分離型半導体装置100の製造方法について説明する。

図26～図28は前述の図20～図22に対応しており、図26～図28において、前述と同様のものについては、それぞれ前述と同一符号を付して詳述を省略する。

【0057】

まず、図26に示すように、半導体装置100の裏面側から高エネルギーイオン(たとえば、水素Hなど)106を照射して、半導体基板1の一定深さの領域に結晶破壊層107を形成する。

続いて、図7のように、半導体装置100の裏面にカソード電極6を取り囲むように絶縁膜マスク101を形成し、絶縁膜マスク101の開口領域が占める領域を、カソード電極6とアノード電極7との距離Lに対してカソード電極6側から少なくとも40%以上が露出した状態とする。

【0058】

次に、前述の図17のように、半導体装置100の裏面側から高速シリコンドライエッチング処理を施して半導体基板1を除去し、開口部を形成する。

続いて、図27に示すように、高速CVDデポジット処理により、厚膜CVD

酸化膜からなる誘電体層 3-2 を形成する。

その後、図 28 に示すように、結晶破壊層 107 を剥離面として、裏面側領域 108 を一括剥離することにより、半導体基板 1 の主面上に形成された絶縁膜マスク 101 および CVD 酸化膜（誘電体層）3-2 を除去し、さらにポリッシュ処理後、改めて裏面全体に蒸着された裏面電極 8 を形成する。

これにより、前述と同様の電気特性効果を実現することができる。

【0059】

実施の形態 8.

なお、上記実施の形態 6（図 23～図 25）では、開口部の形成後にスプレー塗布機 103 を用いて誘電体層（A 樹脂膜）3-2 を成膜したが、高速 CVD デポジット処理を施すことにより、厚膜 CVD 酸化膜からなる誘電体層 3-2 を成膜してもよい。

以下、前述の図 7 および図 17 とともに、図 29～図 31 に示す工程毎の断面図を参照しながら、半導体基板 109 の開口部および開口部近傍に高速 CVD デポジット処理による CVD 酸化膜（誘電体層）3-2 を成膜したこの発明の実施の形態 8 による誘電体分離型半導体装置 100 の製造方法について説明する。

図 29～図 31 は前述の図 23～図 25 に対応しており、図 29～図 31 において、前述と同様のものについては、それぞれ前述と同一符号を付して詳述を省略する。

【0060】

まず、図 29 において、P 型の半導体基板 109 を台座とした SOI 基板は、あらかじめ埋め込み絶縁膜（誘電体層）3-1 の一部が間引きされた領域を有し、この間引き領域を介して半導体基板 109 と接触する P 型活性領域 110 は、トレンチ分離領域 9 によって取り囲まれている。

図 29 の SOI 基板は、ウェハプロセスが施され、主に n^- 型半導体層（SOI 活性層）2 上に半導体デバイスが形成された後、P 型活性領域 110 から半導体基板 109 に向けて陽極化成電流 111 が通電されることにより、半導体基板 109 の主面上に多孔質シリコン層 112 が形成されている。

【0061】

次に、多孔質シリコン層 1 1 2 上に、図 7 のようにカソード電極 6 を取り囲むように絶縁膜マスク 1 0 1 を形成し、絶縁膜マスク 1 0 1 の開口領域の占める領域を、カソード電極 6 とアノード電極 7 との距離 L に対してカソード電極 6 側から少なくとも 4 0 % 以上が露出した状態とする。

次に、前述の図 1 7 のように、半導体装置 1 0 0 の裏面側から高速シリコンドライエッチング処理を施して半導体基板 1 0 9 を除去する。

続いて、図 3 0 に示すように、高速 CVD デポジットにより厚膜 CVD 酸化膜からなる誘電体層 3 - 2 を成膜する。

【 0 0 6 2 】

最後に、図 3 1 に示すように、多孔質シリコン層 1 1 2 を剥離面として裏面側領域を一括剥離することにより、半導体基板 1 0 9 の主面上に形成された絶縁膜マスク 1 0 1 および CVD 酸化膜（誘電体層） 3 - 2 を除去し、さらにポリッシュ処理後、改めて裏面全体に蒸着された裏面電極 8 を形成する。

これにより、前述と同様の電気特性効果を実現することができる。

なお、以上の各実施の形態 1 ~ 8 では、半導体装置 1 0 0 として、SOI - ダイオードへの適用を想定して説明したが、同様に、SOI - MOSFET、SOI - IGBT、その他の SOI 上に形成される高圧横型素子全般に対しても、同様に適用することができ、前述と同等の作用効果を奏し得ることは言うまでもない。

【 0 0 6 3 】

【発明の効果】

以上のように、この発明によれば、半導体基板と、半導体基板の第 1 主面の全域に隣接配置された主誘電体層と、半導体基板に対向して主誘電体層を挟むように主誘電体層の表面に配設された低不純物濃度の第 1 導電型の第 1 半導体層と、第 1 半導体層の表面に選択的に形成された高不純物濃度の第 1 導電型の第 2 半導体層と、第 1 半導体層の外周縁を間隔を介して取り囲むように配設された高不純物濃度の第 2 導電型の第 3 半導体層と、第 3 半導体層の外周縁を取り囲むように配設されたリング状絶縁膜と、第 2 半導体層の表面に接合配置された第 1 主電極と、第 3 半導体層の表面に接合配置された第 2 主電極と、半導体基板の第 1 主面

に対向する第2主面に隣接配置された板状の裏面電極と、第2半導体層の直下に配設され且つ主誘電体層の第2主面に少なくとも一部が接合された補助誘電体層とを設けたので、RESURF効果を損なうことなく耐圧を向上させることのできる誘電体分離型半導体装置が得られる効果がある。

【0064】

また、この発明によれば、誘電体分離基板上に形成された高耐圧横型デバイスであって、第1主電極と第1主電極を取り囲むように形成された第2主電極とを有するとともに、誘電体分離基板の裏面側に台座となる半導体基板を有する誘電体分離型半導体装置の製造方法において、第1主電極を含み且つ第1主電極から第2主電極までの距離の40%以上の領域にわたって、半導体基板をKOHエッチングによって除去するステップと、領域において第1の埋め込み絶縁膜を形成するステップと、領域において第1の埋め込み絶縁膜の直下に接する形で、第2の埋め込み絶縁膜を形成するステップとを設けたので、RESURF効果を損なうことなく耐圧を向上させることのできる誘電体分離型半導体装置の製造方法が得られる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による誘電体分離型半導体装置を一部断面図で示す斜視図である。

【図2】 この発明の実施の形態1による誘電体分離型半導体装置を示す部分断面図である。

【図3】 この発明の実施の形態1による誘電体分離型半導体装置の動作を説明するための断面図である。

【図4】 図3内のA-A'線による断面での電界強度分布を示す説明図である。

【図5】 この発明の実施の形態1による耐圧条件下における誘電体分離型半導体装置の動作を説明するための断面図である。

【図6】 図5内のB-B'線による断面での電界強度分布を示す説明図である。

【図7】 この発明の実施の形態1による誘電体分離型半導体装置の製造方

法を示す断面図である。

【図 8】 この発明の実施の形態 1 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 9】 この発明の実施の形態 1 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 10】 この発明の実施の形態 1 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 11】 この発明の実施の形態 2 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 12】 この発明の実施の形態 2 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 13】 この発明の実施の形態 2 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 14】 この発明の実施の形態 3 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 15】 この発明の実施の形態 3 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 16】 この発明の実施の形態 3 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 17】 この発明の実施の形態 4 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 18】 この発明の実施の形態 4 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 19】 この発明の実施の形態 4 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 20】 この発明の実施の形態 5 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図 21】 この発明の実施の形態 5 による誘電体分離型半導体装置の製造方法を示す断面図である。

【図22】 この発明の実施の形態5による誘電体分離型半導体装置の製造方法を示す断面図である。

【図23】 この発明の実施の形態6による誘電体分離型半導体装置の製造方法を示す断面図である。

【図24】 この発明の実施の形態6による誘電体分離型半導体装置の製造方法を示す断面図である。

【図25】 この発明の実施の形態6による誘電体分離型半導体装置の製造方法を示す断面図である。

【図26】 この発明の実施の形態7による誘電体分離型半導体装置の製造方法を示す断面図である。

【図27】 この発明の実施の形態7による誘電体分離型半導体装置の製造方法を示す断面図である。

【図28】 この発明の実施の形態7による誘電体分離型半導体装置の製造方法を示す断面図である。

【図29】 この発明の実施の形態8による誘電体分離型半導体装置の製造方法を示す断面図である。

【図30】 この発明の実施の形態8による誘電体分離型半導体装置の製造方法を示す断面図である。

【図31】 この発明の実施の形態8による誘電体分離型半導体装置の製造方法を示す断面図である。

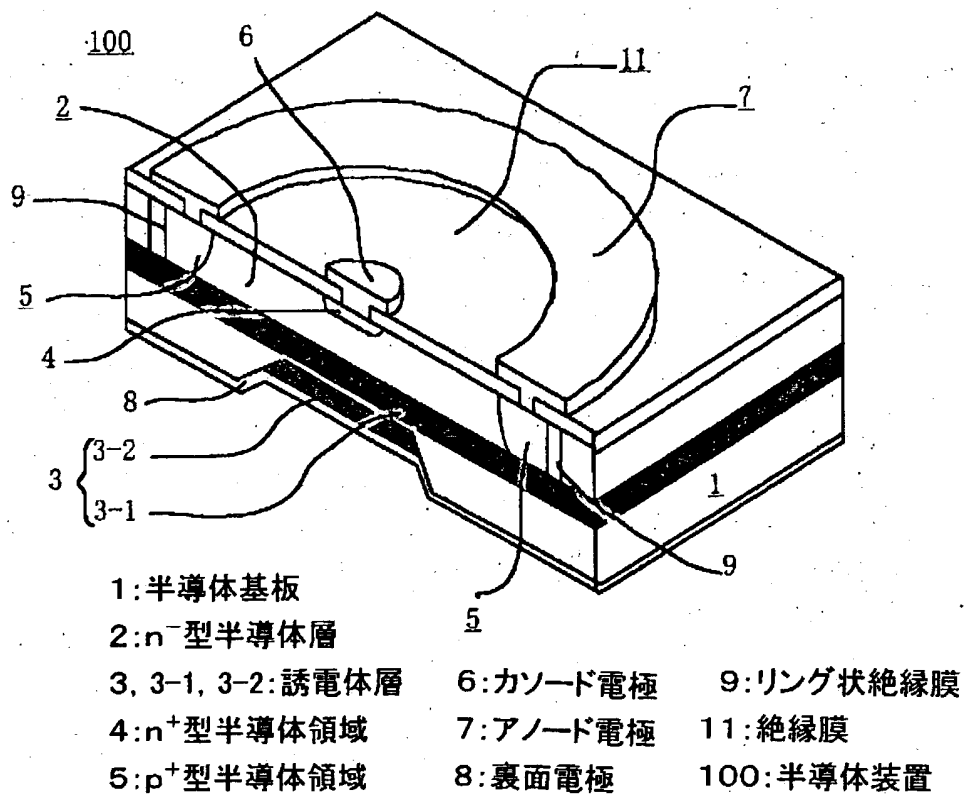
【符号の説明】

1、109 半導体基板、2 n^- 型半導体層、3 誘電体層、3-1 比較的薄い第1の領域（誘電体層）、3-2 比較的厚い第2の領域（誘電体層）、3-3 窒化酸化膜による比較的薄い第3の領域（窒化酸化膜層）、3-4 熱窒化膜またはCVD窒化膜による比較的薄い第4の領域（誘電体層）、4 n^+ 型半導体領域、5 p^+ 型半導体領域、6 カソード電極、7 アノード電極、8 裏面電極、9 リング状絶縁膜、11 絶縁膜、21 活性層基板、100 半導体装置、101 絶縁膜マスク、102 窒素（N注入処理）、103 スプレー塗布機、104 塗布領域、105 高速シリコンドライエッチング処

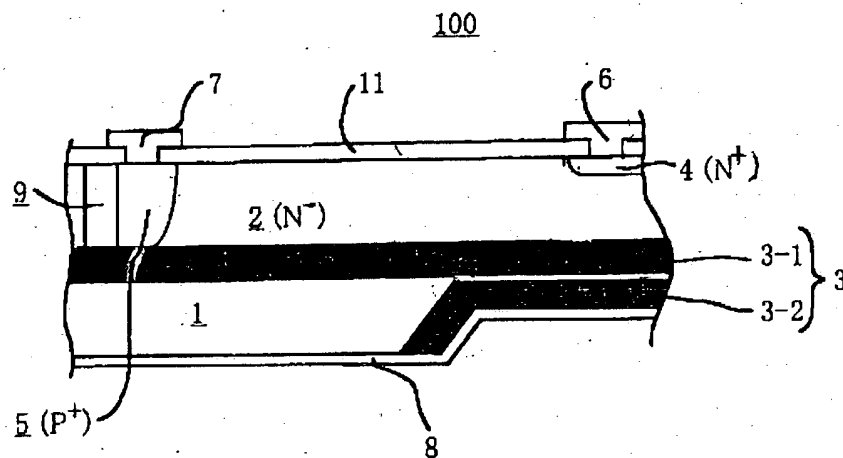
理、106 高エネルギーイオン、107 結晶破壊層、110 P型活性領域
、111 陽極化成電流、112 多孔質シリコン領域。

【書類名】 図面

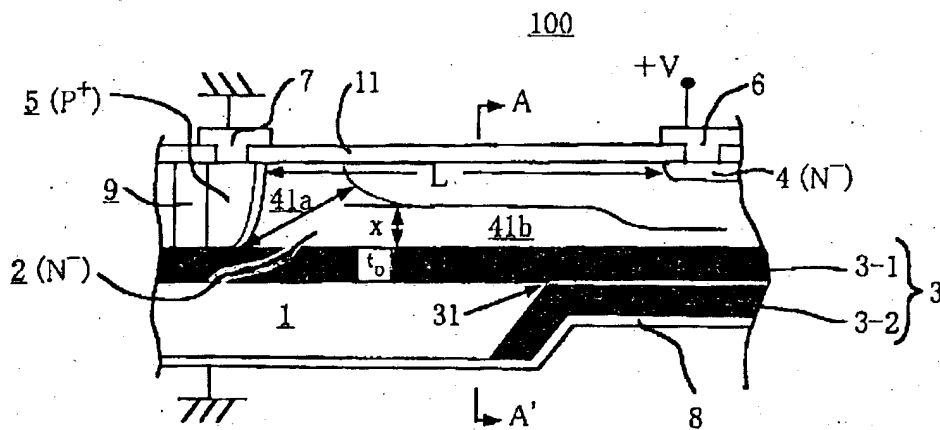
【図 1】



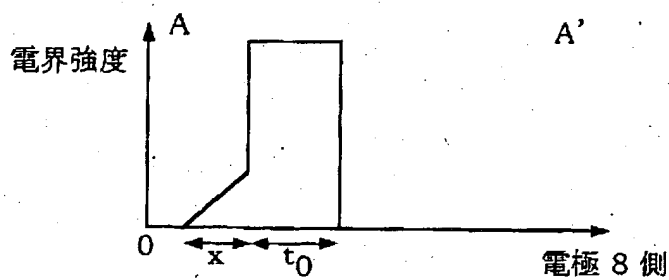
【図 2】



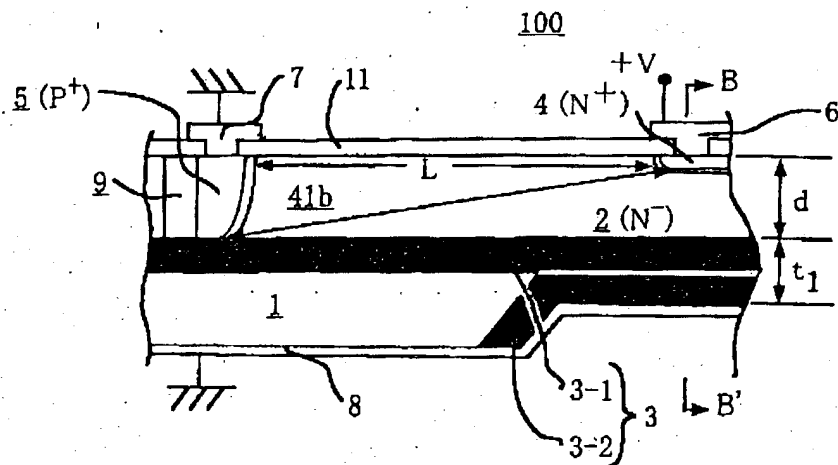
【図 3】



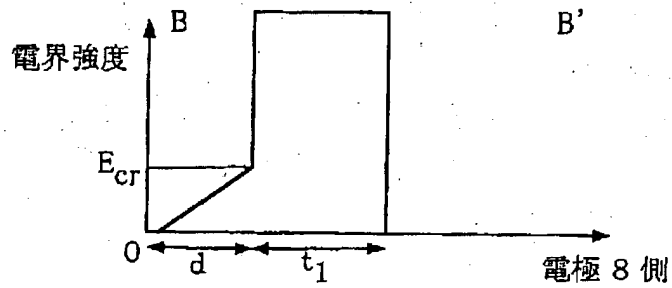
【图4】



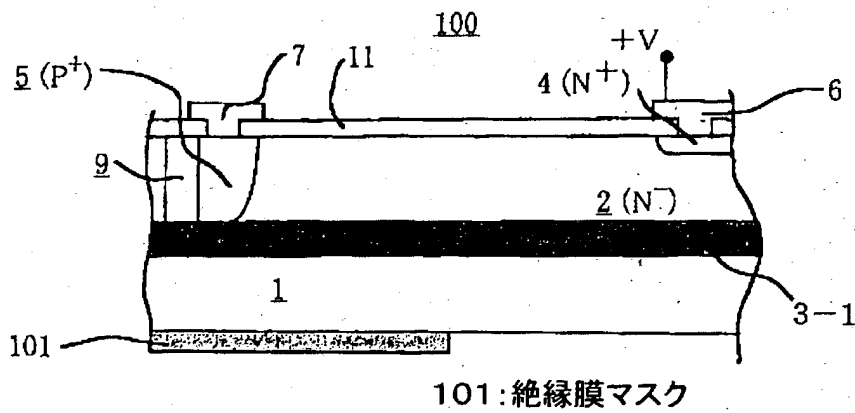
【図 5】



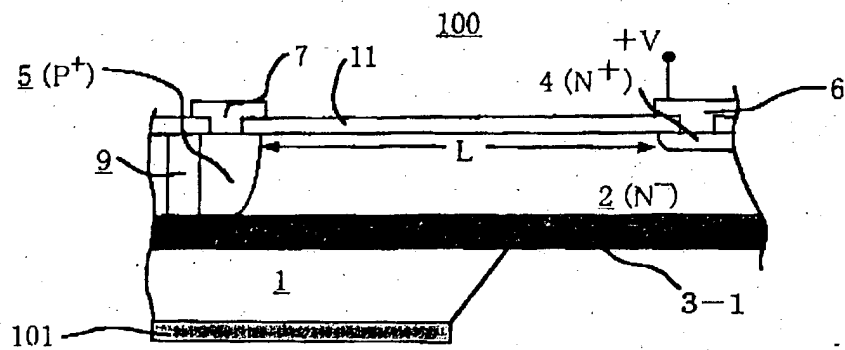
【図 6】



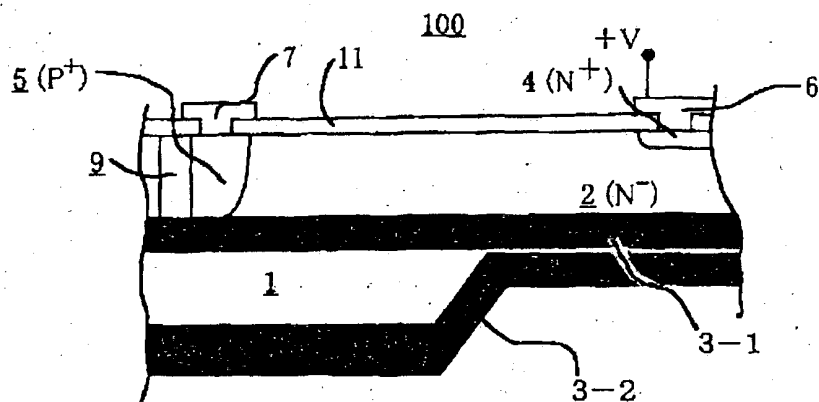
【図 7】



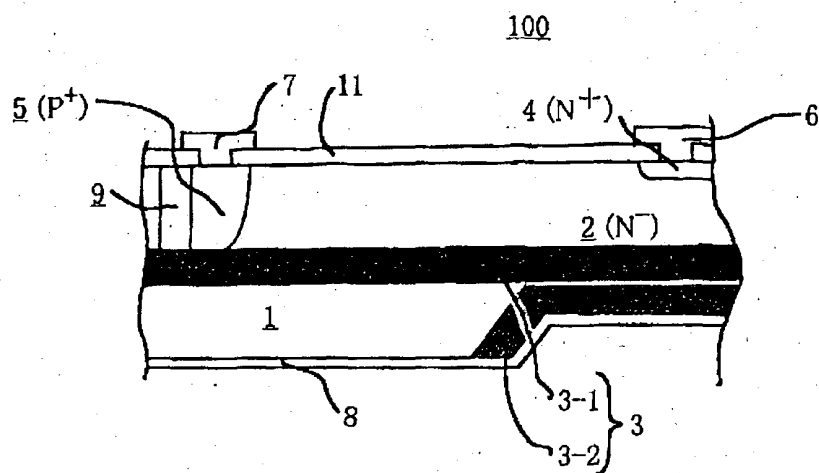
【図 8】



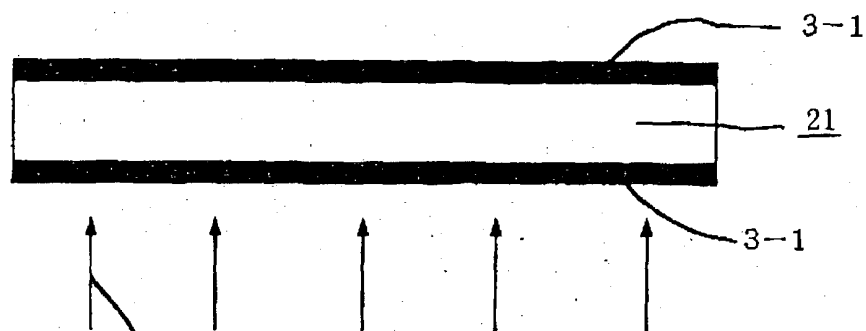
【図 9】



【図 10】



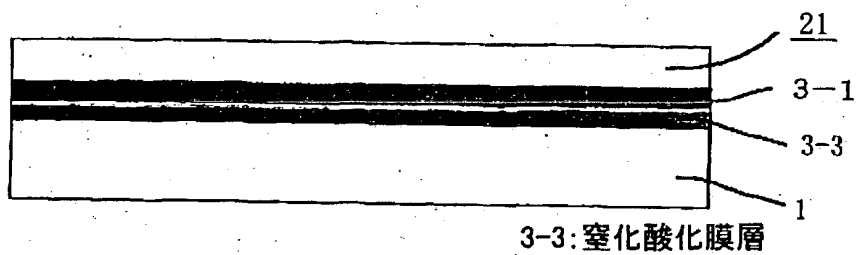
【図 11】



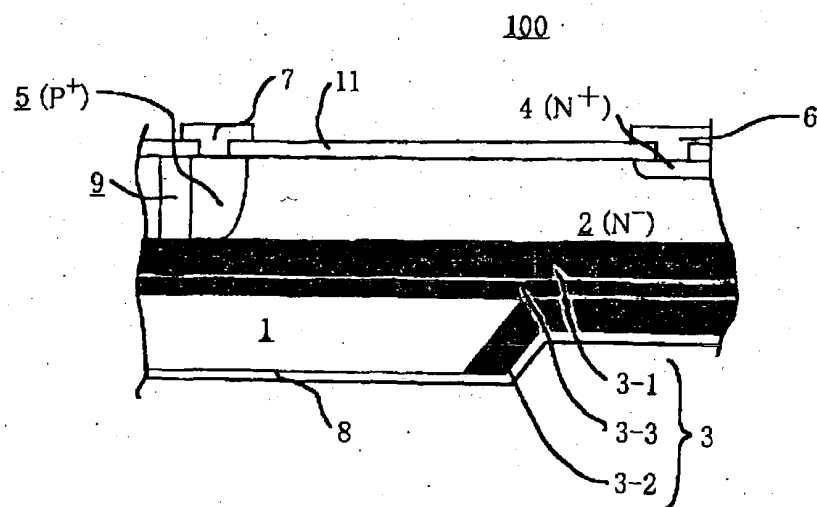
102 (N 注入)

21: 活性層基板

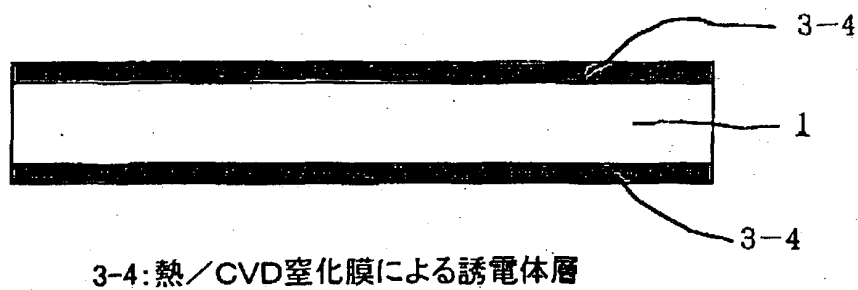
【図 1 2】



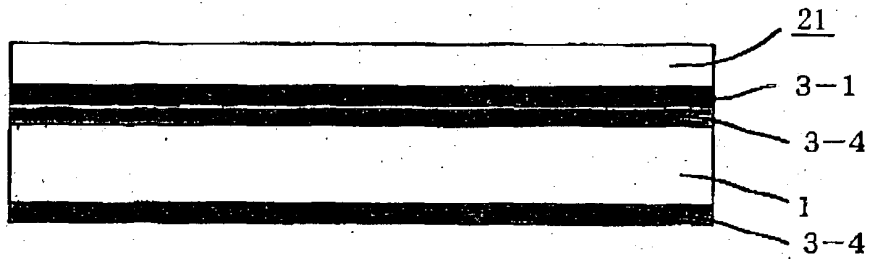
【図 1 3】



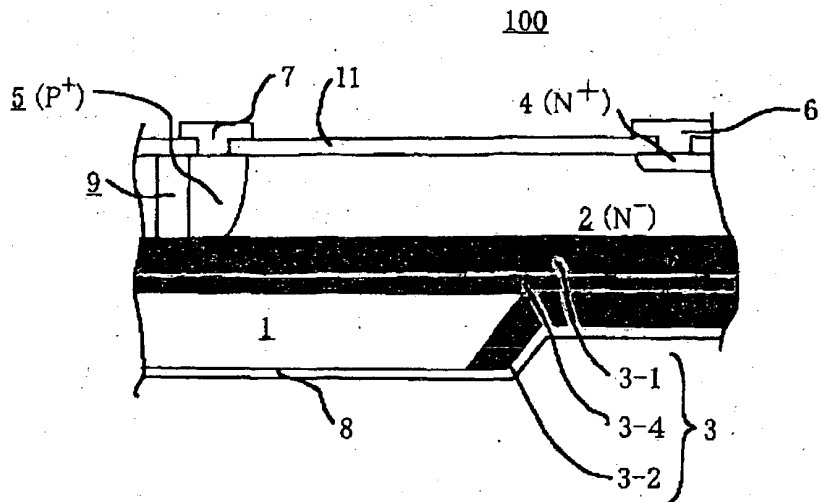
【図 1 4】



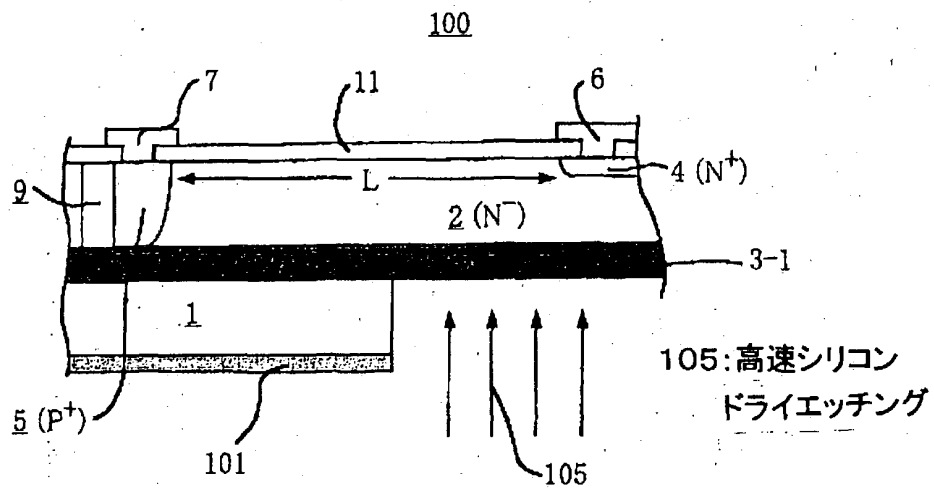
【図15】



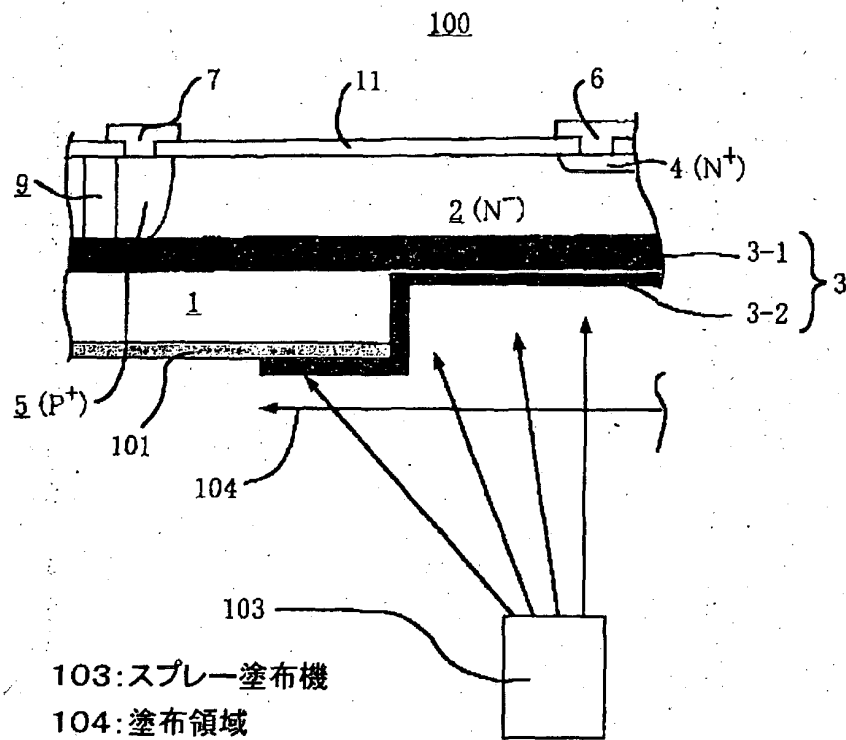
【図16】



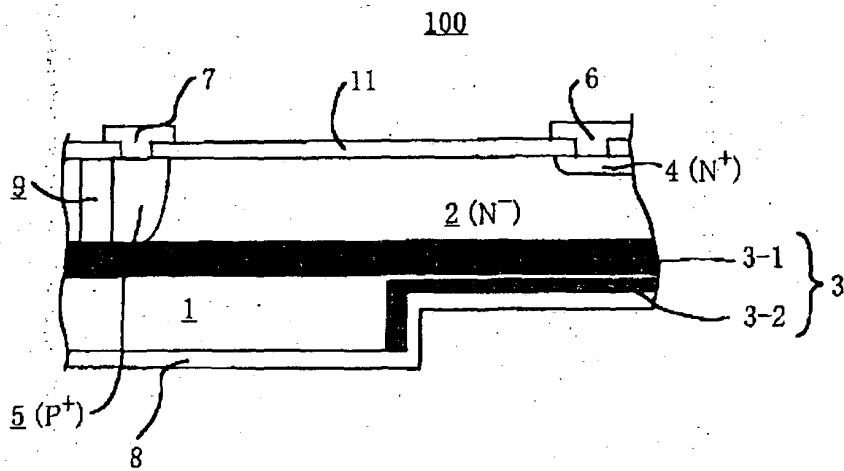
【図17】

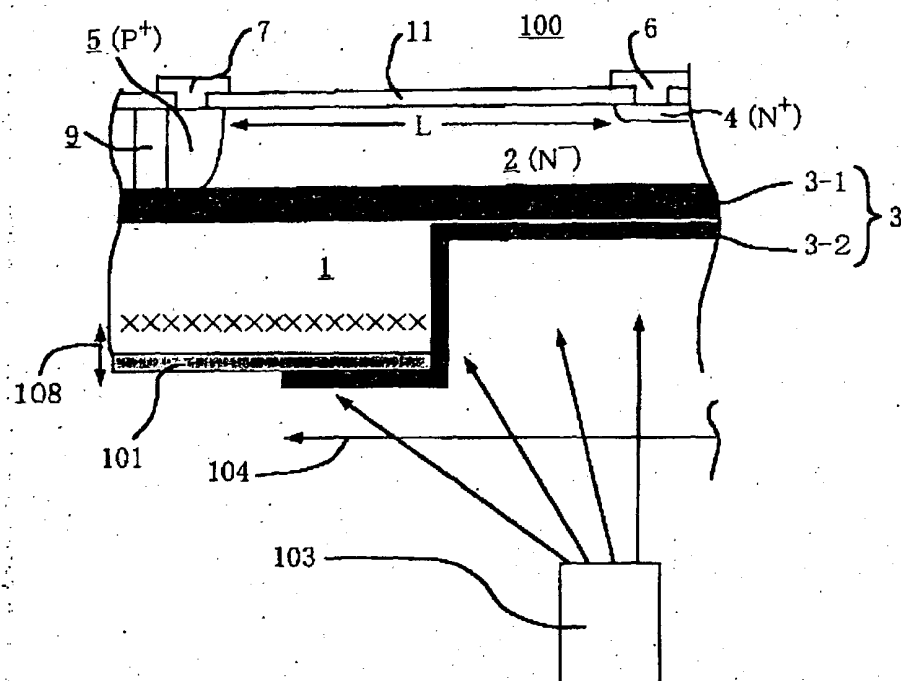
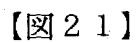


【図18】

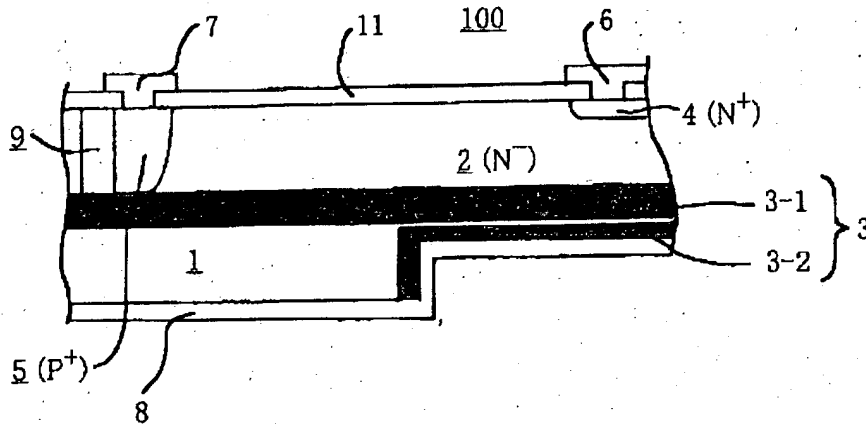


【図19】

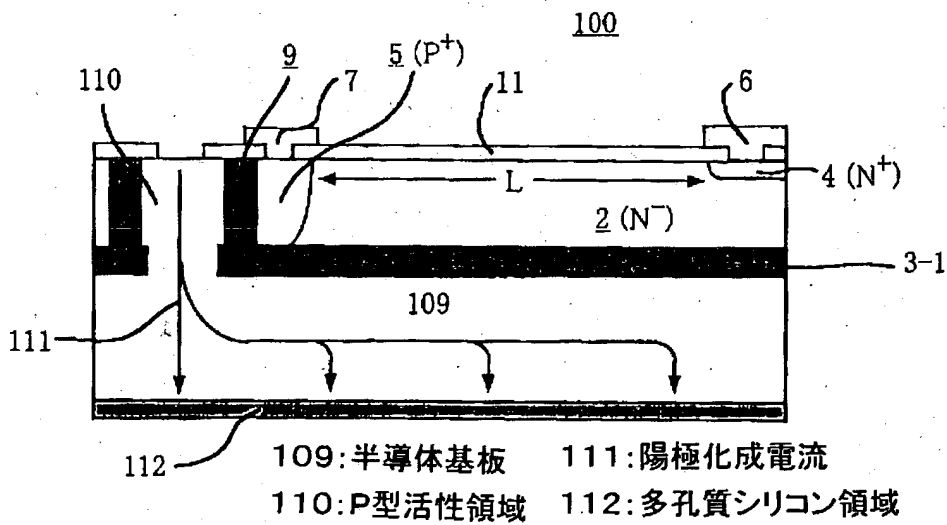




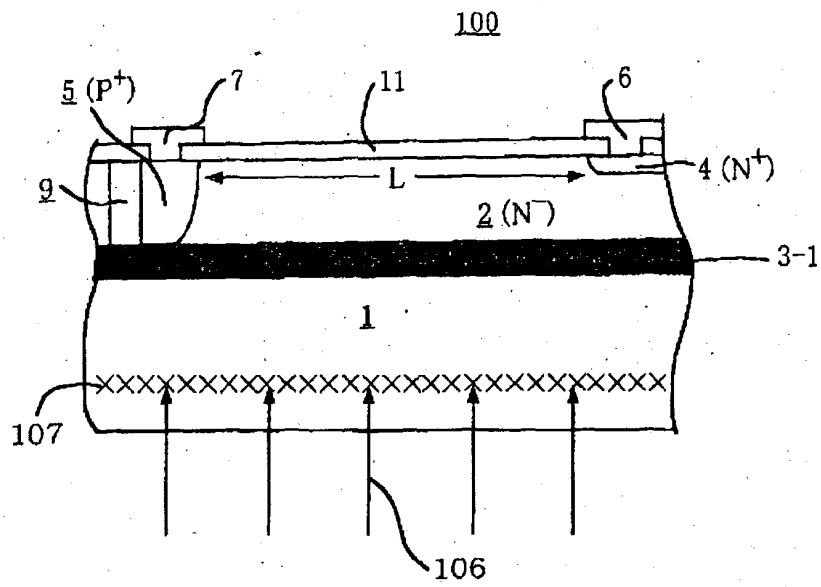
【図 2 2】



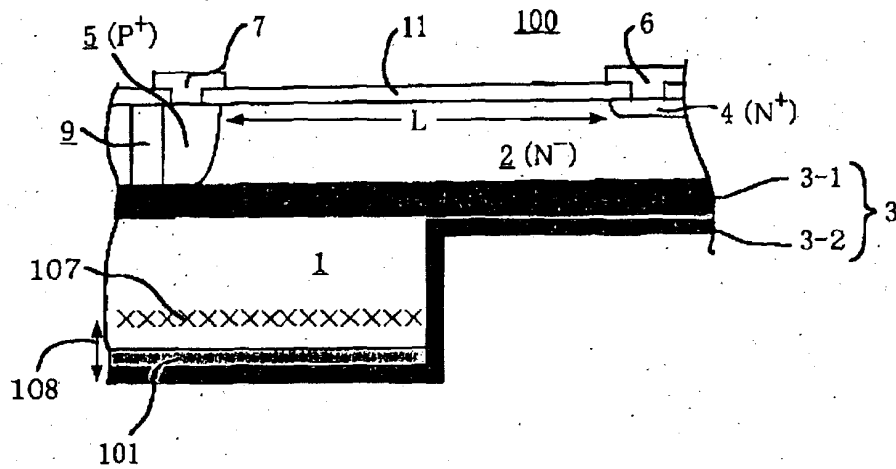
【図 2 3】



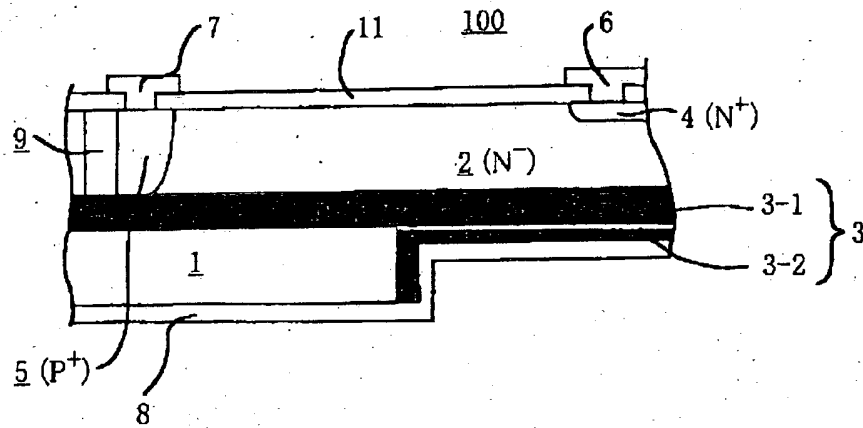
【図 26】



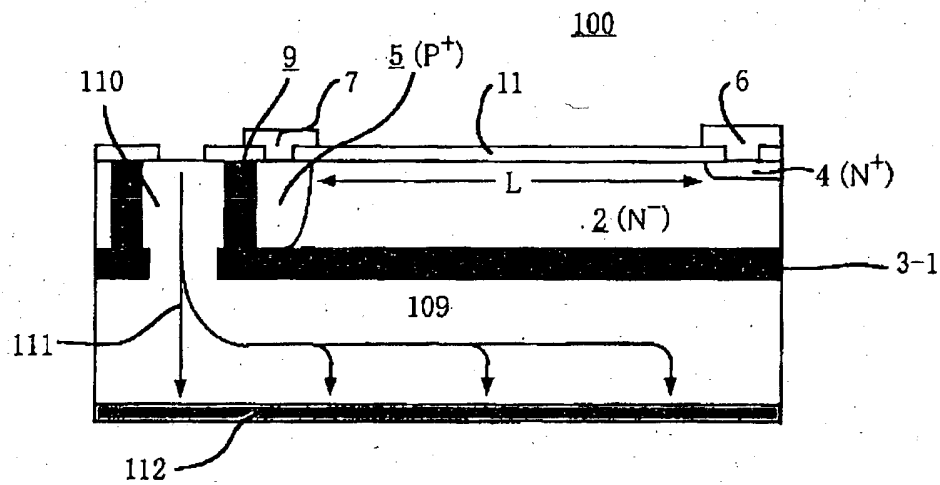
【図 27】



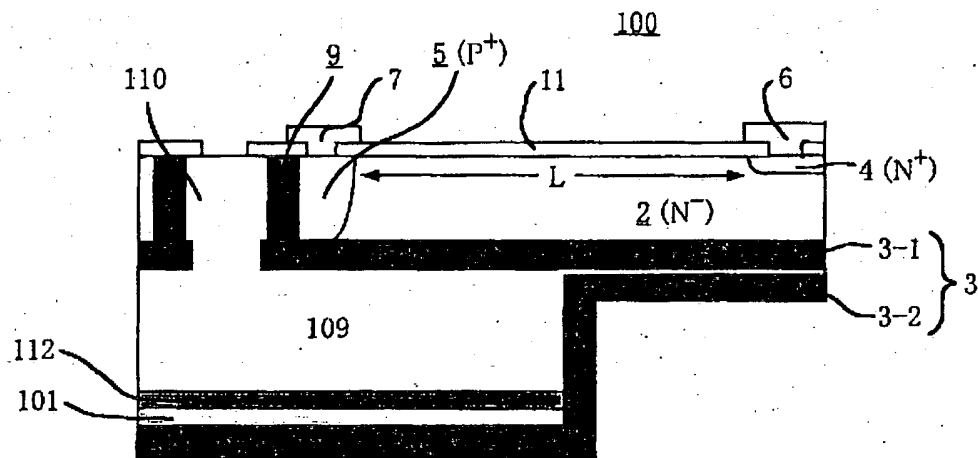
【図 28】



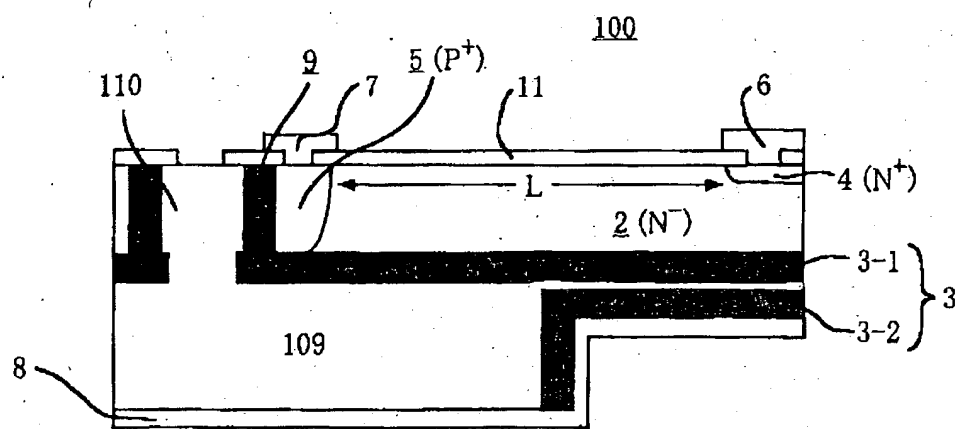
【図 29】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 RESURF効果を損なうことなく耐圧を向上させた誘電体分離型半導体装置を得る。

【解決手段】 半導体基板1の第1主面に配置された主誘電体層3-1、半導体基板1に対向して主誘電体層3-1を挟む第1導電型の第1半導体層2、第1半導体層2の表面に形成された第1導電型の第2半導体層6、第1半導体層2の外周縁を取り囲む第2導電型の第3半導体層7、第3半導体層7の外周縁を取り囲むリング状絶縁膜9、第2半導体層6の表面に配置された第1主電極、第3半導体層7の表面に配置された第2主電極、半導体基板1の第2主面に配置された裏面電極8、第2半導体層6の直下に配設され且つ第2主面に少なくとも一部が接合された補助誘電体層3-2を設けた。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社